

APPLICATION
FOR
UNITED STATES LETTERS PATENT

TITLE: ELEMENT SUBSTRATE AND LIGHT-EMITTING DEVICE
APPLICANT: MITSUAKI OSAME, AYA ANZAI, YU YAMAZAKI AND
RYOTA FUKUMOTO

明細書

素子基板及び発光装置

5 技術分野

本発明は、電流を発光素子に供給するための手段と発光素子とが、複数の各画素に備えられた発光装置及び素子基板に関する。

背景技術

- 10 発光素子は自ら発光するため視認性が高く、液晶表示装置(LCD)で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため近年、発光素子を用いた発光装置は、CRTやLCDに代わる表示装置として注目されている。なお、本明細書において発光素子は、電流または電圧によって輝度が制御される素子を意味しており、OLED (Organic Light Emitting Diode) や、FED (Field
- 15 Emission Display) に用いられているMIM型の電子源素子(電子放出素子)等を含んでいる。

- なお発光装置とは、パネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明は、該発光装置を作製する過程における、パネルが完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を
- 20 発光素子に供給するための手段を複数の各画素に備える。

発光素子の1つであるOLED (Organic Light Emitting Diode) は、電場を加えることで発生するルミネッセンス(Electroluminescence)が得られる電界発光材料を含む

層(以下、電界発光層と記す)と、陽極層と、陰極層とを有している。電界発光層は陽極と陰極の間に設けられており、単層または複数の層で構成されている。これらの層の中に無機化合物を含んでいる場合もある。電界発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とが含まれる。

次に、一般的な発光装置の画素の構成とその駆動について簡単に説明する。図7に示した画素は、スイッチング用トランジスタ700、駆動用トランジスタ701と、容量素子702と、発光素子703とを有している。スイッチング用トランジスタ700は、ゲートが走査線705に接続されており、ソースとドレインが一方は信号線704に、もう一方は駆動用トランジスタ701のゲートに接続されている。駆動用トランジスタ701は、ソースが電源線706に接続されており、ドレインが発光素子703の陽極に接続されている。発光素子703の陰極は対向電極707に接続されている。容量素子702は駆動用トランジスタ701のゲートとソース間の電位差を保持するように設けられている。また、電源線706、対向電極707には、電源からそれぞれ所定の電圧が印加されており、互いに電位差を有している。

走査線705の信号によりスイッチング用トランジスタ700がオンになると、信号線704に入力されたビデオ信号が駆動用トランジスタ701のゲートに入力される。この入力されたビデオ信号の電位と電源線706の電位差が駆動用トランジスタ701のゲート・ソース間電圧 V_{gs} となり、発光素子703に電流が供給され、発光素子703が発光する。

発明の開示

(発明が解決しようとする課題)

- ところで、例えば、ポリシリコンを用いたトランジスタは、電界効果移動度が高く、オン電流が大きいので、発光装置のトランジスタとして適している。また、ポリシリコンを用いたトランジスタは、結晶粒界に形成される欠陥に起因して、その特性にばらつき
- 5 が生じやすいといった問題点を有している。

図7に示した画素において、駆動用トランジスタ701のドレイン電流が画素毎にばらつくと、ビデオ信号の電位が同じであっても駆動用トランジスタ701のドレイン電流が画素間で異なり、結果的に発光素子703の輝度ムラが生じてしまうという問題があった。

- 10 ドレイン電流のばらつきを抑制する手段として、特願2003-008719号で提案した、駆動用トランジスタ701の L/W (L :チャネル長、 W :チャネル幅)を大きくする方法がある。ここで、駆動用トランジスタ701の飽和領域におけるドレイン電流 I_{ds} は式(1)で与えられる。

$$I_{ds} = \beta (V_{gs} - V_{th})^2 / 2 \cdots (1)$$

- 15 式1から、駆動用トランジスタ701の飽和領域におけるドレイン電流 I_{ds} は V_{gs} の僅かな変化に対しても流れる電流に大きく影響するため、発光素子703が発光している期間に駆動用トランジスタ701のゲート・ソース間に保持した電圧 V_{gs} が変化しないように注意する必要がある。そのためには駆動用トランジスタ701のゲート・ソース間に設けられた容量素子702の容量を大きくすることや、スイッチング用トランジスタ
- 20 700のオフ電流を低く抑える必要がある。

スイッチング用トランジスタ700のオフ電流を低く抑えること、且つ、大きな容量を充電するためにオン電流を高くすること、両方を満たすことはトランジスタ作製プロセス

においては難しい課題である。

また、スイッチング用トランジスタ700のスイッチングや信号線、走査線の電位の変化等に伴い、駆動用トランジスタ701の V_{gs} が変化してしまうという問題もある。これは、駆動用トランジスタ701のゲートにつく寄生容量によるものである。

- 5 本発明は上述した問題に鑑み、スイッチング用トランジスタ700のオフ電流を低く抑える必要はなく、容量素子702の容量も大きくする必要はなく、寄生容量による影響も受けにくい、且つ、駆動用トランジスタ701の特性のばらつきに起因する、画素間における発光素子703の輝度ムラを抑えることができる発光装置及び素子基板の提案を課題とする。

10 (課題を解決するための手段)

本発明では、駆動用トランジスタのゲートの電位は固定し、前記駆動用トランジスタは飽和領域で動作させ、常に電流を流せる状態にしておく。前記駆動用トランジスタと直列に線形領域で動作する電流制御用トランジスタを配し、スイッチング用トランジスタを介して画素の発光、非発光の信号を伝えるビデオ信号を前記電流制御用トランジスタのゲートに入力する。

前記電流制御用トランジスタは線形領域で動作するため前記電流制御用トランジスタのソース・ドレイン間電圧 V_{ds} は小さく、前記電流制御用トランジスタのゲート・ソース間電圧 V_{gs} の僅かな変動は、発光素子に流れる電流に影響しない。発光素子に流れる電流は飽和領域で動作する前記駆動用トランジスタにより決定される。

20 (発明の効果)

電流制御用トランジスタのゲート・ソース間に設けられた容量素子の容量を大きくしたり、スイッチング用トランジスタのオフ電流を低く抑えたりしなくても、発光素子に流

れる電流に影響しない。また、電流制御用トランジスタのゲートにつく寄生容量による影響も受けない。このため、ばらつき要因が減り、画質を大いに高めることができる。

また、スイッチング用トランジスタはオフ電流を低く抑える必要がないため、トランジスタ作製プロセスを簡略化することができ、コスト削減、歩留まり向上に大きく貢献することができる。

図面の簡単な説明

図1は、本発明の一実施形態を示す図である。

図2は、本発明の一実施形態を示す図である。

10 図3は、外部回路とパネルの概要を示す図である。

図4は、信号線駆動回路の一構成例を示す図である。

図5は、本発明の上面図の一例を示す図である。

図6は、本発明が適用可能な電子機器の例を示す図である。

図7は、従来例を示す図である。

15 図8は、本発明の上面図の一例を示す図である。

図9は、本発明の断面構造の一例を示す図である。

図10は、本発明の動作タイミングの一例を示す図である。

図11は、本発明の断面構造の一例を示す図である。

図12は、本発明の一実施形態を示す図である。

20 図13は、本発明の上面図の一例を示す図である。

図14は、本発明の一実施形態を示す図である。

図15は、本発明の一実施形態を示す図である。

図16は、本発明の上面図の一例を示す図である。

図17は、本発明の上面図の一例を示す図である。

図18は、本発明の断面構造の一例を示す図である。

図19は、本発明の断面構造の一例を示す図である。

5 図20は、本発明の上面図の一例を示す図である。

図21は、本発明の画素の駆動方法を示す図である。

図22は、アクティブマトリクス型の発光装置の駆動方法を示す図である。

図23は、ビデオ信号が電圧を用いているのか、電流を用いているのかで分類した、
駆動方法の一覧を示す図である。

10

発明を実施するための最良の形態

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易
15 に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

(実施の形態1)

図1に、本発明の発光装置が有する画素の一実施形態を示す。図1に示す画素は、
発光素子104と、ビデオ信号の画素への入力を制御するためのスイッチング素子と
20 して用いるトランジスタ(スイッチング用トランジスタ)101と、発光素子104に流れる
電流値を制御する駆動用トランジスタ102、発光素子104への電流の供給を制御する
電流制御用トランジスタ103とを有している。さらに本実施の形態のように、ビデオ

信号の電位を保持するための容量素子105を画素に設けても良い。

駆動用トランジスタ102及び電流制御用トランジスタ103は同じ極性を有する。本発明では、駆動用トランジスタ102を飽和領域で、電流制御用トランジスタ103を線形領域で動作させる。

- 5 また、駆動用トランジスタ102のLをWより長く、電流制御用トランジスタ103のLをWと同じか、それより短くてもよい。より望ましくは、駆動用トランジスタ102のWに対するLの比が5以上にするとよい。また、駆動用トランジスタ102のチャネル長をL1、チャネル幅をW1、電流制御用トランジスタ103のチャネル長をL2、チャネル幅をW2とすると、 $L1/W1:L2/W2=X:1$ のとき、Xは5以上6000以下とするのが望ましい。
- 10 例としては、 $L1/W1=500\mu m/3\mu m$ 、 $L2/W2=3\mu m/100\mu m$ という場合が挙げられる。

また、駆動用トランジスタ102にはエンハンスメント型トランジスタを用いてもよいし、ディプリーション型トランジスタを用いてもよい。

- また、スイッチング用トランジスタ101はN型トランジスタを用いてもよいし、P型トランジスタを用いてもよい。
- 15

- スイッチング用トランジスタ101のゲートは、走査線Gj(j=1~y)に接続されている。スイッチング用トランジスタ101のソースとドレインは、一方が信号線Si(i=1~x)に、もう一方が電流制御用トランジスタ103のゲートに接続されている。駆動用トランジスタ102のゲートは第2の電源線Wi(i=1~x)に接続されている。そして駆動用トランジスタ102及び電流制御用トランジスタ103は、第1の電源線Vi(i=1~x)から供給される電流が、駆動用トランジスタ102及び電流制御用トランジスタ103のドレイン電流として発光素子104に供給されるように、第1の電源線Vi(i=1~x)、発光素子
- 20

104と接続されている。本実施の形態では、電流制御用トランジスタ103のソースが第1の電源線 V_i ($i=1\sim x$)に接続され、駆動用トランジスタ102のドレインが発光素子104の画素電極に接続される。

5 なお駆動用トランジスタ102のソースを第1の電源線 V_i ($i=1\sim x$)に接続し、電流制御用トランジスタ103のドレインを発光素子104の画素電極に接続してもよい。

10 発光素子104は陽極と陰極との間に設けられた電界発光層とからなる。図1のように、陽極が駆動用トランジスタ102と接続している場合、陽極が画素電極、陰極が対向電極となる。発光素子104の対向電極と、第1の電源線 V_i ($i=1\sim x$)のそれぞれには、発光素子104に順バイアス方向の電流が供給されるように、電位差が設けら

10 れている。なお、対向電極は第3の電源線に接続されている。

15 容量素子105が有する2つの電極は、一方は第1の電源線 V_i ($i=1\sim x$)に接続されており、もう一方は電流制御用トランジスタ103のゲートに接続されている。容量素子105はスイッチング用トランジスタ101が非選択状態(オフ状態)にある時、容量素子105の電極間の電位差を保持するために設けられている。なお図1では容量

15 素子105を設ける構成を示したが、本発明はこの構成に限定されず、容量素子105を設けない構成にしても良い。

20 図1では駆動用トランジスタ102および電流制御用トランジスタ103をP型トランジスタとし、駆動用トランジスタ102のドレインと発光素子104の陽極とを接続した。逆に駆動用トランジスタ102および電流制御用トランジスタ103をN型トランジスタとするならば、駆動用トランジスタ102のソースと発光素子104の陰極とを接続する。この場合、発光素子104の陰極が画素電極、陽極が対向電極となる。

次に、図1に示した画素の駆動方法について説明する。図1に示す画素は、その動

作を書き込み期間、データ保持期間とに分けて説明することができる。

まず書き込み期間において走査線 G_j ($j=1\sim y$)が選択されると、走査線 G_j ($j=1\sim y$)にゲートが接続されているスイッチング用トランジスタ101がオンになる。そして、信号線 S_i ($i=1\sim x$)に入力されたビデオ信号が、スイッチング用トランジスタ101を介して電流制御用トランジスタ103のゲートに入力される。なお、駆動用トランジスタ102はゲートが第1の電源線 V_i ($i=1\sim x$)に接続されているため、常にオン状態である。

ビデオ信号によって電流制御用トランジスタ103がオンになる場合は、第1の電源線 V_i ($i=1\sim x$)を介して電流が発光素子104に供給される。このとき電流制御用トランジスタ103は線形領域で動作しているため、発光素子104に流れる電流は、飽和領域で動作する駆動用トランジスタ102と発光素子104の電圧電流特性によって決まる。そして発光素子104は、供給される電流に見合った高さの輝度で発光する。

またビデオ信号によって電流制御用トランジスタ103がオフになる場合は、発光素子104への電流の供給は行なわれず、発光素子104は発光しない。

データ保持期間では、走査線 G_j ($j=1\sim y$)の電位を制御することでスイッチング用トランジスタ101をオフにし、書き込み期間において書き込まれたビデオ信号の電位を保持する。書き込み期間において電流制御用トランジスタ103をオンにした場合、ビデオ信号の電位は容量素子105によって保持されているので、発光素子104への電流の供給は維持されている。逆に、書き込み期間において電流制御用トランジスタ103をオフにした場合、ビデオ信号の電位は容量素子105によって保持されているので、発光素子104への電流の供給は行なわれていない。

なお素子基板は、本発明の発光装置を作製する過程における、発光素子が形成さ

れる前の一形態に相当する。

- 本発明の発光装置において用いられるトランジスタは、単結晶シリコンを用いて形成されたトランジスタであっても良いし、SOIを用いたトランジスタであっても良いし、多結晶シリコンやアモルファスシリコンを用いた薄膜トランジスタであっても良い。また、
- 5 有機半導体を用いたトランジスタであっても良いし、カーボンナノチューブを用いたトランジスタであってもよい。また本発明の発光装置の画素に設けられたトランジスタは、シングルゲート構造を有していても良いし、ダブルゲート構造やそれ以上のゲート電極を有するマルチゲート構造であっても良い。

- 上記構成により、電流制御用トランジスタ103は線形領域で動作するため電流制
- 10 御用トランジスタ103のソース・ドレイン間電圧 V_{ds} は小さく、電流制御用トランジスタ103のゲート・ソース間電圧 V_{gs} の僅かな変動は、発光素子104に流れる電流に影響しない。発光素子104に流れる電流は飽和領域で動作する駆動用トランジスタ102により決定される。よって、電流制御用トランジスタ103のゲート・ソース間に設けられた容量素子105の容量を大きくしたり、スイッチング用トランジスタ101のオフ電流
- 15 を低く抑えなくても、発光素子104に流れる電流に影響しない。また、電流制御用トランジスタ103のゲートにつく寄生容量による影響も受けない。このため、ばらつき要因が減り、画質を大いに高めることができる。

- なおアクティブマトリクス型の発光装置は、ビデオ信号の入力後も発光素子への電流の供給をある程度維持することができるので、パネルの大型化、高精細化に柔軟
- 20 に対応することができ、今後の主流となりつつある。具体的に提案されている、アクティブマトリクス型発光装置における画素の構成は、発光装置のメーカーによって異なっており、それぞれに特色のある技術的工夫が凝らされている。図22に、アクティブ

マトリクス型の発光装置における駆動方法の分類を、体系的に示す。

図22に示すように、アクティブマトリクス型の発光装置における駆動方法は、大まかに、ビデオ信号がデジタルのものと、アナログのものに分類できる。そしてアナログに分類される発光装置は、さらに、発光素子に流す電流値をアナログ的に変調させる電流変調と、インバータのオンとオフの長さを変化させることで、階調を表現する時間変調とに分類される。電流変調の発光装置は、Tr特性補正回路ありのものと、なしのものに分類できる。Tr特性補正回路とは、駆動用トランジスタの特性ばらつきを補正する回路であり、閾値のみ補正する回路や電流値(閾値、移動度等すべて含む)を補正する回路がある。

- 5
- 10 電流変調に分類されるTr特性補正回路ありの発光装置は、さらに電圧プログラミングで閾値補正をするものと、電流プログラミングで電流値補正をするものとに分類される。電圧プログラミングは、ビデオ信号を電圧で入力し、駆動用トランジスタの閾値のばらつきを補正するものである。一方、電流プログラミングは、駆動用トランジスタの電流値(閾値、移動度もすべて含む)のばらつきを補正するものである。ビデオ信号は電流で入力する。発光素子は電流駆動素子であり、電流によって発光輝度が決まるのでデータとして電流値を用いた方が直接的である。
- 15

- そして、電流プログラミングで電流値補正をする発光装置は、さらに電流ミラー型と、電流ミラーを用いないタイプに分類される。電流ミラー型は、カレントミラー回路を利用したピクセル回路で、電流を設定するトランジスタと発光素子への電流供給を行うトランジスタを別々に配置する。ミラーとなる2つのトランジスタの特性が揃っていることが大前提となる。電流ミラーを用いないタイプの発光装置は、カレントミラー回路を用いず、1つのトランジスタで電流設定と発光素子への電流供給を行う。
- 20

一方、デジタルに分類される発光装置は、面積階調と時間階調に分類される。面積階調は画素内にサブピクセルを設け、その発光面積に1:2:4:8:…のように重みをつけて、その選択により階調表示を行うものである。時間階調は、1フレームを幾つかのサブフレームに分け、それぞれの発光時間に1:2:4:8:…のように重みをつけて、その選択によって階調表示を行うものである。

時間階調は、DPS (Display Period Separated)駆動と、SES (Simultaneous Erasing Scan)駆動とに分類される。DPS 駆動は、サブフレームがそれぞれ、データ書き込み期間(Addressing Period)と発光期間(Lighting Period)の2つの部分より構成される。DPS 駆動については、"M. Mizukami et al., 6-Bit Digital VGA OLED, SID '00 Digest, p. 912"に記載されている。SES 駆動は、消去用トランジスタを用いることで、データ書き込み期間と発光期間を重ねることができ、発光素子の発光期間を長くすることができる。SES 駆動については、"K. Inukai et al., 4.0-in. TFT-OLED Displays and a Novel Digital Driving Method, SID '00 Digest, p. 924"に記載されている。

SES 駆動はさらに、定電流駆動と定電圧駆動とに分類される。定電流駆動は発光素子を一定電流で駆動するものであり、発光素子の抵抗変化によらず、一定電流が流れる。定電圧駆動は、発光素子を一定電圧で駆動するものである。

定電流駆動の発光装置は、さらにTr特性補正回路ありのものと、なしのものに分類される。Tr特性補正回路ありの発光装置は、国際公開番号WO03/027997に記載されている発光装置の駆動(CCT1)のものと、特願2002-056555号公報に記載されている発光装置の駆動(CCSP)のものがある。Tr特性補正回路なしの発光装置は、さらに、駆動Tr ロングチャネル長のものと、発光時ゲート電位固定法のものに分類される。駆動Tr ロングチャネル長については、特願2002-0250

65号公報に記載されている。駆動Tr ロングチャネル長は、定電流駆動時の駆動用トランジスタの特性ばらつきを抑制するものである。ゲート長を超ロングにすることで、閾値近傍の V_{gs} を使わないため各画素の発光素子に流れる電流値のばらつきを低減できる。

- 5 発光時ゲート電位固定法は、発光素子の発光期間、駆動用トランジスタのゲートを駆動用トランジスタがオンする電位で固定することで、駆動用トランジスタの V_{gs} を一定にし、表示不良を改善するものである。データは駆動用トランジスタと直列に配置された電流制御用トランジスタのゲートに入力される。そして発光時ゲート電位固定法の発光装置の発光装置にも、駆動Tr ロングチャネル長のものがある。本発明の
- 10 発光装置は、発光時ゲート電位固定法の駆動Tr ロングチャネル長に分類される。

図23に、ビデオ信号がデジタルの発光装置において、ビデオ信号が電圧を用いているのか、電流を用いているのかで分類した、駆動方法の一覧を示す。図23に示すように、発光素子の発光時において、画素に入力されるビデオ信号が定電圧(CV)のものと、定電流(CC)のものとがある。

- 15 ビデオ信号が定電圧(CV)のものには、発光素子に印加される電圧が一定のもの(CVCV)と、発光素子に流れる電流が一定のもの(CVCC)とがある。またビデオ信号が定電流(CC)のものには、発光素子に印加される電圧が一定のもの(CCCV)と、発光素子に流れる電流が一定のもの(CCCC)とがある。

(実施の形態2)

- 20 本実施の形態では、本発明の発光装置が有する画素の、図1とは異なる形態について説明する。

図2に示す画素は、発光素子204と、スイッチング用トランジスタ201と、駆動用ト

ランジスタ202と、電流制御用ランジスタ203と、電流制御用ランジスタ203を強制的にオフするためのランジスタ(消去用ランジスタ)206とを有している。上記素子に加えて容量素子205を画素に設けても良い。

- 5 駆動用ランジスタ202及び電流制御用ランジスタ203は同じ極性を有する。本発明では、駆動用ランジスタ202を飽和領域で、電流制御用ランジスタ203を線形領域で動作させる。

また、駆動用ランジスタ202のLをWより長く、電流制御用ランジスタ203のLをWと同じか、それより短くてもよい。より望ましくは、駆動用ランジスタ202のWに対するLの比が5以上にするとよい。

- 10 また、駆動用ランジスタ202にはエンハンスメント型ランジスタを用いてもよいし、ディプリーション型ランジスタを用いてもよい。

また、スイッチング用ランジスタ201及び消去用ランジスタ206はN型ランジスタを用いてもよいし、P型ランジスタを用いてもよい。

- 15 スwitching用ランジスタ201のゲートは、第1の走査線 G_{aj} ($j=1\sim y$)に接続されている。スイッチング用ランジスタ201のソースとドレインは、一方が信号線 S_i ($i=1\sim x$)に、もう一方が電流制御用ランジスタ203のゲートに接続されている。また消去用ランジスタ206のゲートは、第2の走査線 G_{ej} ($j=1\sim y$)に接続されており、ソースとドレインは、一方が第1の電源線 V_i ($i=1\sim x$)に、他方が電流制御用ランジスタ203のゲートに接続されている。駆動用ランジスタ202のゲートは第2の電源線 W_i ($i=1\sim x$)に接続されている。そして駆動用ランジスタ202及び電流制御用ランジスタ203は、第1の電源線 V_i ($i=1\sim x$)から供給される電流が、駆動用ランジスタ202及び電流制御用ランジスタ203のドレイン電流として発光素子204
- 20

に供給されるように、第1の電源線 V_i ($i=1\sim x$)、発光素子204と接続されている。
本実施の形態では、電流制御用トランジスタ203のソースが第1の電源線 V_i ($i=1\sim x$)に接続され、駆動用トランジスタ202のドレインが発光素子204の画素電極に接続される。

- 5 なお駆動用トランジスタ202のソースを第1の電源線 V_i ($i=1\sim x$)に接続し、電流制御用トランジスタ203のドレインを発光素子204の画素電極に接続してもよい。

発光素子204は陽極と陰極との間に設けられた電界発光層とからなる。図2のように陽極が駆動用トランジスタ202と接続している場合、陽極が画素電極、陰極が対向電極となる。発光素子204の対向電極と、第1の電源線 V_i ($i=1\sim x$)のそれぞれ
10 には、発光素子204に順バイアス方向の電流が供給されるように、電位差が設けられている。なお、対向電極は第3の電源線に接続されている。

容量素子205が有する2つの電極は、一方は第1の電源線 V_i ($i=1\sim x$)に接続されており、もう一方は電流制御用トランジスタ203のゲートに接続されている。

図2では駆動用トランジスタ202および電流制御用トランジスタ203をP型トランジスタとし、駆動用トランジスタ202のドレインと発光素子204の陽極とを接続した。逆
15 に駆動用トランジスタ202および電流制御用トランジスタ203をN型トランジスタとするならば、駆動用トランジスタ202のソースと発光素子204の陰極とを接続する。この場合、発光素子204の陰極が画素電極、陽極が対向電極となる。

図2に示す画素は、その動作を書き込み期間、データ保持期間、消去期間とに分
20 けて説明することができる。書き込み期間とデータ保持期間におけるスイッチング用トランジスタ201、駆動用トランジスタ202及び電流制御用トランジスタ203の動作については、図1の場合と同様である。

図21(A)に、書き込み期間においてビデオ信号によって電流制御用トランジスタ203がオンの場合の動作を、図21(B)に、書き込み期間において電流制御用トランジスタ203がオフの場合の動作を示す。また図21(C)に、保持期間において電流制御用トランジスタ203がオンの場合の動作を、図21(D)に、消去期間における動作
5 を示す。なお、図21(A)～図21(D)では動作を分かり易くするために、スイッチング素子として用いるスイッチング用トランジスタ201と、電流制御用トランジスタ203と、消去用トランジスタ206とをスイッチとして示す。

まず書き込み期間において第1の走査線 G_{aj} ($j=1\sim y$)が選択されると、第1の走査線 G_{aj} ($j=1\sim y$)にゲートが接続されているスイッチング用トランジスタ201がオン
10 になる。そして、信号線 S_i ($i=1\sim x$)に入力されたビデオ信号が、スイッチング用トランジスタ201を介して電流制御用トランジスタ203のゲートに入力される。なお、駆動用トランジスタ202はゲートが第1の電源線 V_i ($i=1\sim x$)に接続されているため、常にオン状態である。

ビデオ信号によって電流制御用トランジスタ203がオンになる場合は、図21(A)に
15 示すように、第1の電源線 V_i ($i=1\sim x$)を介して電流が発光素子204に供給される。このとき電流制御用トランジスタ203は線形領域で動作しているため、発光素子204に流れる電流は、飽和領域で動作する駆動用トランジスタ202と発光素子204の電圧電流特性によって決まる。そして発光素子204は、供給される電流に見合った高さの輝度で発光する。

20 また、図21(B)に示すように、ビデオ信号によって電流制御用トランジスタ203がオフになる場合は、発光素子204への電流の供給は行なわれず、発光素子204は発光しない。

データ保持期間では、第1の走査線 G_{aj} ($j=1\sim y$)の電位を制御することでスイッチング用トランジスタ201をオフにし、書き込み期間において書き込まれたビデオ信号の電位を保持する。書き込み期間において電流制御用トランジスタ203をオンにした場合、ビデオ信号の電位は容量素子205によって保持されているので、図21(C)に示すように、発光素子204への電流の供給は維持されている。逆に、書き込み期間において電流制御用トランジスタ203をオフにした場合、ビデオ信号の電位は容量素子205によって保持されているので、発光素子204への電流の供給は行なわれていない。

消去期間では、図21(D)に示すように、第2の走査線 G_{ej} ($j=1\sim y$)が選択されて消去用トランジスタ206がオンになり、電源線 V_i ($i=1\sim x$)の電位が消去用トランジスタ206を介して電流制御用トランジスタ203のゲートに与えられる。よって、電流制御用トランジスタ203がオフになるため、発光素子204に強制的に電流が供給されない状態を作り出すことができる。

(実施例)

以下に、本発明の実施例について記載する。

[実施例1]

アクティブマトリクス型表示装置に本発明の画素構成が使用される場合、その構成と駆動について説明する。

図3に外部回路のブロック図とパネルの概略図を示す。

図3に示すように、アクティブマトリクス型表示装置は外部回路3004及びパネル3010を有する。外部回路3004はA/D変換部3001、電源部3002及び信号生成部3003を有する。A/D変換部3001はアナログ信号で入力された映像データ信号

をデジタル信号(ビデオ信号)に変換し、信号線駆動回路3006へ供給する。電源部3002はバッテリーやコンセントより供給された電源から、それぞれ所望の電圧値の電源を生成し、信号線駆動回路3006、走査線駆動回路3007、発光素子3011、信号生成部3003等に供給する。信号生成部3003には、電源、映像信号及び同期信号等が入力され、各種信号の変換を行う他、信号線駆動回路3006及び走査線駆動回路3007を駆動するためのクロック信号等を生成する。

外部回路3004からの信号及び電源はFPCを通し、パネル3010内のFPC接続部3005から内部回路等に入力される。

また、パネル3010は基板3008上に、FPC接続部3005、内部回路が配置され、また、発光素子3011を有する。内部回路は信号線駆動回路3006、走査線駆動回路3007及び画素部3009を有する。図3には例として実施形態1に記載の画素を採用しているが、前記画素部3009に本発明の実施形態に挙げたいずれかの画素構成を採用することができる。

基板中央には画素部3009が配置され、その周辺には、信号線駆動回路3006及び走査線駆動回路3007が配置されている。発光素子3011及び、前記発光素子の対向電極は画素部3009全体面に形成されている。

より詳しく、図4に信号線駆動回路3006のブロック図を示す。

信号線駆動回路3006はD-フリップフロップ4001を複数段用いてなるシフトレジスタ4002、データラッチ回路4003、ラッチ回路4004、レベルシフタ4005及びバッファ4006等を有する。

入力される信号はクロック信号線(S-CK)、反転クロック信号線(S-CKB)、スタートパルス(S-SP)、ビデオ信号(DATA)及びラッチパルス(LatchPulse)とする。

まず、クロック信号、クロック反転信号及びスタートパルスのタイミングに従って、シフトレジスタ4002より、順次サンプリングパルスが出力される。サンプリングパルスはデータラッチ回路4003へ入力され、そのタイミングで、ビデオ信号を取り込み、保持する。この動作が一行目から順に行われる。

- 5 最終段のデータラッチ回路4003においてビデオ信号の保持が完了すると、水平帰線期間中にラッチパルスが入力され、データラッチ回路4003において保持されているビデオ信号は一斉にラッチ回路4004へと転送される。その後、レベルシフタ4005においてレベルシフトされ、バッファ4006において整形された後、信号線S1からSnへ一斉に出力される。その際、走査線駆動回路3007によって選択された行の画
10 素へ、Hレベル、Lレベルが入力され、発光素子3011の発光、非発光を制御する。

- 本実施例にて示したアクティブマトリクス型表示装置はパネル3010と外部回路3004が独立されているが、これらを同一基板上に一体形成して作製してもよい。また、表示装置は例として、OLEDを使用したものとしたが、OLED以外の発光素子を利用した発光装置でもよい。また、信号線駆動回路3006内にレベルシフタ4005及び
15 バッファ4006が無くてもよい。

[実施例2]

本実施例では、図2に示した画素の、上面図の一実施例について説明する。図5に本実施例の画素の上面図を示す。

- 5001は信号線、5002は第1の電源線、5011は第2の電源線に相当し、5004
20 は第1の走査線、5003は第2の走査線に相当する。本実施例では、信号線5001と第1の電源線5002と第2の電源線5011は同じ導電膜で形成し、第1の走査線5004と第2の走査線5003は同じ導電膜で形成する。また5005はスイッチング用ト

ランジスタであり、第1の走査線5004の一部がそのゲート電極として機能する。また5006は消去用トランジスタであり、第2の走査線5003の一部がそのゲート電極として機能する。5007は駆動用トランジスタ、5008は電流制御用トランジスタに相当する。駆動用トランジスタ5007は、その L/W が電流制御用トランジスタ5008よりも大きくなるように、活性層が曲がりくねっている。例えば、駆動用トランジスタ5007は $L=200[\text{nm}]$ 、 $W=4[\text{nm}]$ 、電流制御用トランジスタ5008は $L=6[\text{nm}]$ 、 $W=12[\text{nm}]$ のようなサイズにする。5009は画素電極に相当し、電界発光層や陰極(共に図示せず)と重なる領域(発光エリア)5010において発光する。

なお本発明の上面図は本の一実施例であり、本発明はこれに限定されないことは言うまでもない。

[実施例3]

本実施例では、図2に示した画素の、図5とは異なる上面図の一実施例について説明する。図8に本実施例の画素の上面図を示す。

8001は信号線、8002は第1の電源線、8011は第2の電源線に相当し、8004は第1の走査線、8003は第2の走査線に相当する。本実施例では、信号線8001と第1の電源線8002と第2の電源線8011は同じ導電膜で形成し、第1の走査線8004と第2の走査線8003は同じ導電膜で形成する。また8005はスイッチング用トランジスタであり、第1の走査線8004の一部がそのゲート電極として機能する。また8006は消去用トランジスタであり、第2の走査線8003の一部がそのゲート電極として機能する。8007は駆動用トランジスタ、8008は電流制御用トランジスタに相当する。駆動用トランジスタ8007は、その L/W が電流制御用トランジスタ8008よりも大きくなるように、活性層が曲がりくねっている。例えば、駆動用トランジスタ8007

は $L=200[\text{nm}]$ 、 $W=4[\text{nm}]$ 、電流制御用トランジスタ8008は $L=6[\text{nm}]$ 、 $W=12[\text{nm}]$ のようなサイズにする。8009は画素電極に相当し、電界発光層や陰極(共に図示せず)と重なる領域(発光エリア)8010において発光する。また、8012は容量手段であり、第2の電源線8011と電流制御用トランジスタ8008との間のゲート絶縁膜によってなる。

なお本発明の上面図は本の一実施例であり、本発明はこれに限定されないことは言うまでもない。

[実施例4]

本実施例では、画素の断面構造について説明する。

- 10 図9(A)に、駆動用トランジスタ9021がP型で、発光素子9022から発せられる光が陽極9023側に抜ける場合の、画素の断面図を示す。図9(A)では、発光素子9022の陽極9023と駆動用トランジスタ9021が電氣的に接続されており、陽極9023上に電界発光層9024、陰極9025が順に積層されている。陰極9025は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。
- 15 例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。そして電界発光層9024は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陽極9023上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極9023は光を透過する透明導電膜を用いて形成し、例えばIT
- 20 Oの他、酸化インジウムに2～20%の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。

陽極9023と、電界発光層9024と、陰極9025とが重なっている部分が発光素子

9022に相当する。図9(A)に示した画素の場合、発光素子9022から発せられる光は、白抜きの矢印で示すように陽極9023側に抜ける。

- 図9(B)に、駆動用トランジスタ9001がN型で、発光素子9002から発せられる光が陽極9005側に抜ける場合の、画素の断面図を示す。図9(B)では、発光素子9002の陰極9003と駆動用トランジスタ9001が電氣的に接続されており、陰極9003上に電界発光層9004、陽極9005が順に積層されている。陰極9003は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。そして電界発光層9004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極9003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極9005は光を透過する透明導電膜を用いて形成し、例えばITOの他、酸化インジウムに2～20%の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。
- 15 陰極9003と、電界発光層9004と、陽極9005とが重なっている部分が発光素子9002に相当する。図9(B)に示した画素の場合、発光素子9002から発せられる光は、白抜きの矢印で示すように陽極9005側に抜ける。

- なお本実施例では、駆動用トランジスタと発光素子が電氣的に接続されている例を示したが、駆動用トランジスタと発光素子との間に電流制御用トランジスタが接続されている構成であってもよい。

[実施例5]

本発明の画素構成を用いた駆動タイミングの一例を、図10を用いて説明する。

図10(A)はデジタル時間階調方式を用い、4ビット階調を表現する場合の例である。データ保持期間 $T_{s1} \sim T_{s4}$ は、その長さの比を $T_{s1}:T_{s2}:T_{s3}:T_{s4}=2^3:2^2:2^1:2^0=8:4:2:1$ としている。

- 動作について説明する。まず、書き込み期間 T_{b1} において、1行目から順に第1の
- 5 走査線が選択され、スイッチング用トランジスタがオンする。次に、信号線よりビデオ信号が各画素に入力され、その電位によって各画素の発光、非発光が制御される。ビデオ信号の書き込みが完了した行においては、直ちにデータ保持期間 T_{s1} へと移る。同じ動作が、最終行まで行われ、期間 T_{a1} が終了する。このとき、データ保持期間 T_{s1} が終了した行から順に書き込み期間 T_{b2} へ移る。
- 10 ここで、書き込み期間よりも短いデータ保持期間を有するサブフレーム期間(ここでは T_{s4} が該当する)においては、データ保持期間の終了後、直ちに次の期間が開始しないよう、消去期間2102を設ける。消去期間において発光素子は、強制的に非発光状態とされる。

- ここでは4ビット階調を表現する場合について説明したが、ビット数及び階調数はこ
- 15 れに限定されない。また、発光の順番は $T_{s1} \sim T_{s4}$ である必要はなく、ランダムでもよいし、複数に分割して発光をしてもよい。

- また、図10(B)に書き込みパルス及び消去パルスの例を示す。前記消去パルスは消去パルス1に示すように、1行ずつパルスを入力し、消去期間中は容量手段等によって保持してもよいし、消去パルス2に示すように、消去期間中ずっと、Hレベルを
- 20 入力しつづけてもよい。尚、図10(B)に示すパルスはいずれもスイッチング用トランジスタ及び消去用トランジスタがN型である場合であり、前記スイッチング用トランジスタ及び前記消去用トランジスタがP型である場合は、図10(B)のパルスはいずれ

もHレベルとLレベルが反転する。

[実施例6]

本発明の発光装置を用いた表示装置は様々な電子機器の表示部に用いることができる。特に低消費電力が要求されるモバイル機器には本発明の表示装置を用いる

5 ことが望ましい。

具体的に前記電子機器として、携帯情報端末(携帯電話、モバイルコンピュータ、携帯型ゲーム機または電子書籍等)、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、表示ディスプレイ、ナビゲーションシステム等が挙げられる。これら電子機器の具体例を図6に示す。

10 図6(A)表示ディスプレイであり、筐体6001、音声出力部6002、表示部6003等を含む。本発明の発光装置は表示部6003に用いることができる。表示装置は、パソコン用、TV放送受信用、広告表示用など全ての情報表示装置が含まれる。

図6(B)はモバイルコンピュータであり、本体6101、スタイラス6102、表示部6103、操作ボタン6104、外部インターフェイス6105等を含む。本発明の発光装置は
15 表示部6103に用いることができる。

図6(C)はゲーム機であり、本体6201、表示部6202、操作ボタン6203等を含む。本発明の発光装置は表示部6202に用いることができる。

図6(D)は携帯電話であり、本体6301、音声出力部6302、音声入力部6303、表示部6304、操作スイッチ6305、アンテナ6306等を含む。本発明の発光装置は
20 表示部6304に用いることができる。

以上のように、本発明の発光装置の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

[実施例7]

図11を用いて、本発明の発光装置の、画素の断面構造について説明する。図11に、基板7000上に形成されている駆動用トランジスタ7001を示す。駆動用トランジスタ7001は第1の層間絶縁膜7002で覆われており、第1の層間絶縁膜7002上には樹脂等で形成されたカラーフィルタ7003と、コンタクトホールを介して駆動用トランジスタ7001のドレインと電氣的に接続されている配線7004が形成されている。なお、駆動用トランジスタ7001と配線7004の間に電流制御用トランジスタが設けられていても良い。

そしてカラーフィルタ7003及び配線7004を覆うように、第1の層間絶縁膜7002上に、第2の層間絶縁膜7005が形成されている。なお、第1の層間絶縁膜7002または第2の層間絶縁膜7005は、プラズマCVD法またはスパッタ法を用い、酸化珪素、窒化珪素または酸化窒化珪素膜を単層でまたは積層して用いることができる。また酸素よりも窒素のモル比率が高い酸化窒化珪素膜上に、窒素よりも酸素のモル比率が高い酸化窒化珪素膜を積層した膜を第1の層間絶縁膜7002または第2の層間絶縁膜7005として用いても良い。或いは第1の層間絶縁膜7002または第2の層間絶縁膜7005として、有機樹脂膜を用いても良い。

第2の層間絶縁膜7005上には、コンタクトホールを介して配線7004に電氣的に接続されている配線7006が形成されている。配線7006の一部は発光素子の陽極として機能している。配線7006は、第2の層間絶縁膜7005を間に挟んで、カラーフィルタ7003と重なる位置に形成する。

また第2の層間絶縁膜7005上には隔壁として用いる有機樹脂膜7008が形成されている。有機樹脂膜7008は開口部を有しており、該開口部において陽極として機

- 能する配線7006と電界発光層7009と陰極7010が重なり合うことで発光素子7011が形成されている。電界発光層7009は、発光層単独かもしくは発光層を含む複数の層が積層された構成を有している。なお、有機樹脂膜7008及び陰極7010上に、保護膜を成膜しても良い。この場合、保護膜は水分や酸素などの発光素子の劣化を促進させる原因となる物質を、他の絶縁膜と比較して透過させにくい膜を用いる。代表的には、例えばDLC膜、窒化炭素膜、RFスパッタ法で形成された窒化珪素膜等を用いるのが望ましい。また上述した水分や酸素などの物質を透過させにくい膜と、該膜に比べて水分や酸素などの物質を透過させやすい膜とを積層させて、保護膜として用いることも可能である。
- 5
- 10 また有機樹脂膜7008は、電界発光層7009が成膜される前に、吸着した水分や酸素等を除去するために真空雰囲気下で加熱しておく。具体的には、 $100^{\circ}\text{C}\sim 200^{\circ}\text{C}$ 、0.5～1時間程度、真空雰囲気下で加熱処理を行なう。望ましくは $3\times 10^{-7}\text{Torr}$ 以下とし、可能であるならば $3\times 10^{-8}\text{Torr}$ 以下とするのが最も望ましい。そして、有機樹脂膜に真空雰囲気下で加熱処理を施した後に電界発光層を成膜する場合、
- 15 成膜直前まで真空雰囲気下に保つことで、信頼性をより高めることができる。
- また有機樹脂膜7008の開口部における端部は、有機樹脂膜7008上に一部重なって形成されている電界発光層7009に、該端部において穴があかないように、丸みを帯びさせることが望ましい。具体的には、開口部における有機樹脂膜の断面が描いている曲線の曲率半径が、 $0.2\sim 2\mu\text{m}$ 程度であることが望ましい。
- 20 上記構成により、後に形成される電界発光層や陰極のカバレッジを良好とすることができ、配線7006と陰極7010が電界発光層7009に形成された穴においてショートするのを防ぐことができる。また電界発光層7009の応力を緩和させることで、発

光領域が減少するシュリンクとよばれる不良を低減させることができ、信頼性を高めることができる。

なお図11では、有機樹脂膜7008として、ポジ型の感光性のアクリル樹脂を用いた例を示している。感光性の有機樹脂には、光、電子、イオンなどのエネルギー線が露光された箇所が除去されるポジ型と、露光された箇所が残るネガ型とがある。本発明ではネガ型の有機樹脂膜を用いても良い。また感光性のポリイミドを用いて有機樹脂膜7008を形成しても良い。ネガ型のアクリルを用いて有機樹脂膜7008を形成した場合、開口部における端部が、S字状の断面形状となる。このとき開口部の上端部及び下端部における曲率半径は、 $0.2 \sim 2 \mu\text{m}$ とすることが望ましい。

10 配線7006は透明導電膜を用いることができる。ITOの他、酸化インジウムに2～20%の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。図11では配線7006としITOを用いている。配線7006は、その表面が平坦化されるように、CMP法、ポリビニルアルコール系の多孔質体で拭浄して研磨しても良い。またCMP法を用いた研磨後に、配線7006の表面に紫外線照射、酸素プラズマ処理などを行ってもよい。

15 また陰極7010は、光が透過する程度の膜厚とし、仕事関数の小さい導電膜であれば公知の他の材料を用いる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。なお陰極側から光を得るためには、膜厚を薄くする方法の他に、Liを添加することで仕事関数が小さくなったITOを用いる方法もある。本発明で用いる発光素子は、陽極側と陰極側の両方から光が発せられる構成であれば良い。

20 なお、実際には図11まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のカバー材7012でパッケージング(封入)することが好ましい。その際、カバー

材の内部を不活性雰囲気にしたリ、内部に吸湿性材料(例えば酸化バリウム)を配置したりすると発光素子の信頼性が向上する。そして本発明では、カバー材7012にカラーフィルタ7013を設けても良い。

5 なお、本発明は上述した作製方法に限定されず、公知の方法を用いて作製することが可能である。

[実施例8]

本実施例では、図2に示した画素において、駆動用トランジスタ202と電流制御用トランジスタ203の位置を入れ替えた場合の、画素の構成について説明する。

図12に本実施例の画素の回路図を示す。なお図2において既に示した素子や配線については、図12においても同じ符号を付して示す。図12に示した画素と図2に示した画素は、第1の電源線 V_i ($i=1\sim x$)から供給される電流が、駆動用トランジスタ202及び電流制御用トランジスタ203のドレイン電流として、発光素子204に供給されるところは同じである。ただし図12では、駆動用トランジスタ202のソースが第1の電源線 V_i ($i=1\sim x$)に接続され、電流制御用トランジスタのドレインが発光素子204の画素電極に接続されている点において、図2に示す画素と異なっている。

10
15

本実施例のように、駆動用トランジスタ202のソースを第1の電源線 V_i に接続することで、駆動用トランジスタ202のゲート・ソース間電圧 V_{gs} が固定される。つまり、発光素子204が劣化しても、当然、飽和領域で動作する駆動用トランジスタ202のゲート・ソース間電圧 V_{gs} は変動せずに固定されたままである。よって、本実施例では、

20 発光素子204が劣化しても、飽和領域で動作する駆動用トランジスタ202のドレイン電流が変動するのを防ぐことができる。

[実施例9]

本実施例では、図12に示した画素の、上面図の一実施例について説明する。ただし本実施例では、図12に示した画素において、発光素子204の画素電極と電流制御用トランジスタ203のドレインとの間に抵抗を設ける例について示す。図13に本実施例の画素の上面図を示す。

- 5 5101は信号線、5102は第1の電源線、5111は第2の電源線に相当し、5104は第1の走査線、5103は第2の走査線に相当する。本実施例では、信号線5101と第1の電源線5102と第2の電源線5111は同じ導電膜で形成し、第1の走査線5104と第2の走査線5103は同じ導電膜で形成する。また5105はスイッチング用トランジスタであり、第1の走査線5104の一部がそのゲート電極として機能する。また
- 10 5106は消去用トランジスタであり、第2の走査線5103の一部がそのゲート電極として機能する。5107は駆動用トランジスタ、5108は電流制御用トランジスタに相当する。また5112は容量素子に相当し、5113は半導体膜で形成された抵抗に相当する。駆動用トランジスタ5107は、その L/W が電流制御用トランジスタ5108よりも大きくなるように、活性層が曲がりくねっている。例えば、駆動用トランジスタ5107
- 15 は $L=200[\text{nm}]$ 、 $W=4[\text{nm}]$ 、電流制御用トランジスタ5108は $L=6[\text{nm}]$ 、 $W=12[\text{nm}]$ のようなサイズにする。5109は画素電極に相当し、画素電極5109と、電界発光層(図示せず)と、陰極(図示せず)とが重なる領域(発光エリア)において、発光する。

- 抵抗5113を設けることで、発光素子の画素電極5109として用いる導電膜を成膜
- 20 した後、該導電膜をパターニングして画素電極を形成する前において、該導電膜に帯電した電荷により駆動用トランジスタ5107のドレインの電位が急激に変化し、駆動用トランジスタ5107が破壊されるのを防ぐことができる。また、ELが蒸着されるま

での静電対策として用いることができる。

なお本発明の上面図は本の一実施例であり、本発明はこれに限定されないことは言うまでもない。

[実施例10]

- 5 本実施例では、図2に示した画素において、第1走査線 G_{aj} ($j=1\sim y$)または第2走査線 G_{ej} ($j=1\sim y$)を共有している画素が、さらに第2の電源線 W_i ($i=1\sim x$)を共有している場合の、画素の構成について説明する。

- 図14(A)に本実施例の画素の回路図を示す。なお図2において既に示した素子や配線については、図14(A)においても同じ符号を付して示す。ただし図14(A)では、
10 第1の走査線 G_{aj} ($j=1\sim y$)と、第2の走査線 G_{ej} ($j=1\sim y$)とを共有している画素が、さらに、第2の電源線 W_j ($j=1\sim x$)を共有している。そして第2の電源線 W_j ($j=1\sim x$)が、信号線 S_i ($i=1\sim x$)及び第1の電源線 V_i ($i=1\sim x$)と交差しており、同じ第2の走査線 G_{ej} ($j=1\sim y$)を共有している画素は、互いに異なる信号線 S_i ($i=1\sim x$)を有している。

- 15 次に図14(B)に、図14(A)に示した画素において、駆動用トランジスタ202のゲートに印加される電圧を、赤色、緑色、青色の画素ごとに分けることで、ホワイトバランス調節する方法を採用した場合の、画素の構成を示す。図14(B)では、赤色に対応した画素210において、赤色(R)用の第2の電源線 W_{rj} が、駆動用トランジスタ202のゲートに接続されている。また、緑色に対応した画素211において、緑色(G)用の第2の電源線 W_{gj} が、駆動用トランジスタ202のゲートに接続されている。また、青色に対応した画素212において、青色(B)用の第2の電源線 W_{bj} が、駆動用トランジスタ202のゲートに接続されている。
20

[実施例11]

本実施例では、図14(A)、図14(B)に示した画素において、発光素子と駆動用トランジスタ202のドレインとの間に抵抗を設けた場合の、画素の構成について説明する。

- 5 図15(A)に、図14(A)の画素に抵抗を設けた画素の構成を示す。なお図14(A)において既に示した素子や配線については、図15(A)においても同じ符号を付して示す。図15(A)は図14(A)と異なり、発光素子204の画素電極と駆動用トランジスタ202のドレインとの間に、抵抗209を有する。

- 次に図15(B)に、図15(A)に示した画素において、駆動用トランジスタ202のゲートに印加される電圧を、赤色、緑色、青色の画素ごとに分けることで、ホワイトバランス調節する方法を採用した場合の、画素の構成を示す。図15(B)では、赤色に対応した画素210において、赤色(R)用の第2の電源線W_{rj}が、駆動用トランジスタ202のゲートに接続されている。また、緑色に対応した画素211において、緑色(G)用の第2の電源線W_{gj}が、駆動用トランジスタ202のゲートに接続されている。また、青色に対応した画素212において、青色(B)用の第2の電源線W_{bj}が、駆動用トランジスタ202のゲートに接続されている。

- 抵抗209を設けることで、発光素子204の画素電極として用いる導電膜を成膜した後、該導電膜をパターニングして画素電極を形成する前において、該導電膜に帯電した電荷により駆動用トランジスタ202のドレインの電位が急激に変化し、駆動用トランジスタ202が破壊されるのを防ぐことができる。また、ELが蒸着されるまでの静電対策として用いることができる。

次に、図15(A)に示した画素の、上面図の一実施例について説明する。図16に

本実施例の画素の上面図を示す。

5201は信号線、5202は第1の電源線、5211は第2の電源線に相当し、5204は第1の走査線、5203は第2の走査線に相当する。本実施例では、信号線5201と第1の電源線5202は同じ導電膜で形成し、第1の走査線5204と第2の走査線5203と第2の電源線5211は同じ導電膜で形成する。また5205はスイッチング用トランジスタであり、第1の走査線5204の一部がそのゲート電極として機能する。また5206は消去用トランジスタであり、第2の走査線5203の一部がそのゲート電極として機能する。5207は駆動用トランジスタ、5208は電流制御用トランジスタに相当する。また、5212は容量素子に相当し、5213は半導体膜で形成された抵抗に相当する。駆動用トランジスタ5207は、その L/W が電流制御用トランジスタ5208よりも大きくなるように、活性層が曲がりくねっている。例えば、駆動用トランジスタ5207は $L=200[\text{nm}]$ 、 $W=4[\text{nm}]$ 、電流制御用トランジスタ5208は $L=6[\text{nm}]$ 、 $W=12[\text{nm}]$ のようなサイズにする。5209は画素電極に相当し、画素電極5209と、電界発光層(図示せず)と、陰極(図示せず)とが重なる領域(発光エリア)において、発光する。

次に、図15(B)に示した画素の、上面図の一実施例について説明する。図17に本実施例の画素の上面図を示す。

5301は信号線、5302は第1の電源線、5311rは赤色の画素に対応する第2の電源線、5311gは緑色の画素に対応する第2の電源線、5311bは青色の画素に対応する第2の電源線に相当し、5304は第1の走査線、5303は第2の走査線に相当する。本実施例では、信号線5301と第1の電源線5302は同じ導電膜で形成し、第1の走査線5304と第2の走査線5303と第2の電源線5311r、5311g、53

11bは同じ導電膜で形成する。また5305はスイッチング用トランジスタであり、第1の走査線5304の一部がそのゲート電極として機能する。また5306は消去用トランジスタであり、第2の走査線5303の一部がそのゲート電極として機能する。5307は駆動用トランジスタ、5308は電流制御用トランジスタに相当する。また、5312は容量素子に相当し、5313は半導体膜で形成された抵抗に相当する。駆動用トランジスタ5307は、その L/W が電流制御用トランジスタ5308よりも大きくなるように、活性層が曲がりくねっている。例えば、駆動用トランジスタ5307は $L=200[\text{nm}]$ 、 $W=4[\text{nm}]$ 、電流制御用トランジスタ5308は $L=6[\text{nm}]$ 、 $W=12[\text{nm}]$ のようなサイズにする。5309は画素電極に相当し、画素電極5309と、電界発光層(図示せず)と、陰極(図示せず)とが重なる領域(発光エリア)において、発光する。

なお本発明の上面図は本の一実施例であり、本発明はこれに限定されないことは言うまでもない。

本発明の発光装置は、画素が有するトランジスタの数が4つなので、例えば、対角4～4.3インチ、隣接する発光素子を分離するための、隔壁として用いる層間膜の幅を $20\mu\text{m}$ とし、VGA(640×480)200dpiで、画素のサイズを $45\times 135\mu\text{m}$ とすることができる。

[実施例12]

図18(A)に、駆動用トランジスタ9011がN型で、発光素子9012から発せられる光が陰極9013側に抜ける場合の、画素の断面図を示す。図18(A)では、駆動用トランジスタ9011のドレインと電氣的に接続された透明導電膜9017上に、発光素子9012の陰極9013が成膜されており、陰極9013上に電界発光層9014、陽極9015が順に積層されている。そして陽極9015を覆うように、光を反射または遮蔽する

ための遮蔽膜9016が成膜されている。陰極9013は、仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。ただしその膜厚は、光を透過する程度とする。例えば20nmの膜厚を有するAlを、陰極9013として用いることができる。そして電界発

5 光層9014は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極9015は光を透過する必要はないが、例えばITO、ITSO、酸化インジウムに2～20%の酸化亜鉛(ZnO)を混合したIZO等の透明導電膜を用いても良いし、TiまたはTiNを用いても良い。そして遮蔽膜9016は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を

10 添加した樹脂等を用いることもできる。

陰極9013と、電界発光層9014と、陽極9015とが重なっている部分が発光素子9012に相当する。図18(A)に示した画素の場合、発光素子9012から発せられる光は、白抜きの矢印で示すように陰極9013側に抜ける。

図18(B)に、駆動用トランジスタ9031がP型で、発光素子9032から発せられる

15 光が陰極9035側に抜ける場合の、画素の断面図を示す。図18(B)では、駆動用トランジスタ9031のドレインと電氣的に接続された配線9036上に、発光素子9032の陽極9033が成膜されており、陽極9033上に電界発光層9034、陰極9035が順に積層されている。上記構成によって、陽極9033において光が透過しても、該光は配線9036において反射される。陰極9035は、図18(A)の場合と同様に、仕事

20 関数が小さい導電膜であれば公知の材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば20nmの膜厚を有するAlを、陰極9035として用いることができる。そして電界発光層9034は、図18(A)と同様に、単数の層で構成さ

れていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極9033は光を透過する必要はないが、図18(A)と同様に、透明導電膜を用いて形成することができるし、TiNまたはTiを用いることもできる。

陽極9033と、電界発光層9034と、陰極9035とが重なっている部分が発光素子9032に相当する。図18(B)に示した画素の場合、発光素子9032から発せられる光は、白抜きの矢印で示すように陰極9035側に抜ける。

なお本実施例では、駆動用トランジスタと発光素子が電氣的に接続されている例を示したが、駆動用トランジスタと発光素子との間に電流制御用トランジスタが接続されている構成であってもよい。

10 [実施例13]

本実施例では、駆動用トランジスタと電流制御用トランジスタが共にボトムゲート型の場合の、画素の断面構造について説明する。

なお本発明で用いることができるトランジスタは、アモルファスシリコンで形成されていても良い。アモルファスシリコンでトランジスタを形成すると、結晶化のプロセスを設けずに済むので、作製方法を簡略化することができ、低コスト化が図れる。ただしアモルファスシリコンで形成されたトランジスタはP型よりもN型の方が移動度は高く、発光装置の画素に用いるのにより適している。本実施例では、駆動用トランジスタがN型の場合における、画素の断面構造について説明する。

図19(A)に、本実施例の画素の断面図を示す。6501は駆動用トランジスタ、6502は電流制御用トランジスタに相当する。駆動用トランジスタ6501は、絶縁表面を有する基板6500上に形成されたゲート電極6503と、ゲート電極6503を覆うように基板6500上に形成されたゲート絶縁膜6504と、ゲート絶縁膜6504を間に挟んで

ゲート電極6503と重なる位置に形成された半導体膜6505とを有している。半導体膜6505は、ソース又はドレインとして機能する、導電性を付与する不純物が添加された2つの不純物領域6506a、6506bを有している。そして不純物領域6506aは配線6508と接続されている。

- 5 電流制御用トランジスタ6502は、駆動用トランジスタ6501と同様に、絶縁表面を有する基板6500上に形成されたゲート電極6510と、ゲート電極6510を覆うように基板6500上に形成されたゲート絶縁膜6504と、ゲート絶縁膜6504を間に挟んでゲート電極6510と重なる位置に形成された半導体膜6511とを有している。半導体膜6511は、ソース又はドレインとして機能する、導電性を付与する不純物が添加された2つの不純物領域6512a、6512bを有している。そして不純物領域6512aは、配線6513を介して駆動用トランジスタ6501が有する不純物領域6506bと接続されている。
- 10

- 駆動用トランジスタ6501及び電流制御用トランジスタ6502は、共に絶縁膜で形成された保護膜6507で覆われている。そして、保護膜6507に形成されたコンタクトホールを介して、配線6508が陽極6509と接続されている。また、駆動用トランジスタ6501及び電流制御用トランジスタ6502と、保護膜6507は層間絶縁膜6520で覆われている。層間絶縁膜6520は開口部を有しており、該開口部において陽極6509が露出している。陽極6509上には電界発光層6521と、陰極6522が形成されている。
- 15

- 20 なお、図19(A)では、駆動用トランジスタと電流制御用トランジスタが共にN型である場合について説明したが、P型であってもよい。この場合、駆動用トランジスタの閾値を制御するための不純物はP型を用いる。

[実施例14]

本実施例では、図2に示した画素の、上面図の一実施例について説明する。図20に本実施例の画素の上面図を示す。

5401は信号線、5402は第1の電源線、5411a、5411bは第2の電源線に相当し、5404は第1の走査線、5403は第2の走査線に相当する。本実施例では、信号線5401と第1の電源線5402と第2の電源線5411aは同じ導電膜で形成し、第1の走査線5404と第2の走査線5403と第2の電源線5411bは同じ導電膜で形成する。また5405はスイッチング用トランジスタであり、第1の走査線5404の一部がそのゲート電極として機能する。また5406は消去用トランジスタであり、第2の走査線5403の一部がそのゲート電極として機能する。5407は駆動用トランジスタ、5408は電流制御用トランジスタに相当する。また5412は容量素子に相当し、5413は半導体膜で形成された抵抗に相当する。駆動用トランジスタ5407は、その L/W が電流制御用トランジスタ5408よりも大きくなるように、活性層が曲がりくねっている。例えば、駆動用トランジスタ5407は $L=200[\text{nm}]$ 、 $W=4[\text{nm}]$ 、電流制御用トランジスタ5408は $L=6[\text{nm}]$ 、 $W=12[\text{nm}]$ のようなサイズにする。5409は画素電極に相当し、画素電極5409と、電界発光層(図示せず)と、陰極(図示せず)と重なる領域(発光エリア)5410において、発光する。

なお本発明の上面図は本の一実施例であり、本発明はこれに限定されないことは言うまでもない。

請求の範囲

1. 発光素子と、

前記発光素子に流れる電流値を決定する第1のトランジスタと、

ビデオ信号によって、前記発光素子の発光、非発光を決定する第2のトランジス

5 タと、を画素に有し、

第1の電源と第3の電源との間に、前記発光素子、前記第1のトランジスタ及び
前記第2のトランジスタが直列に接続され、

前記第1のトランジスタのゲート電極は第2の電源と接続されていることを特徴と
する発光装置。

10 2. 発光素子と、

前記発光素子に流れる電流値を決定する第1のトランジスタと、

ビデオ信号によって、前記発光素子の発光、非発光を決定する第2のトランジス
タと、

前記ビデオ信号の入力を制御する第3のトランジスタと、を画素に有し、

15 第1の電源と第3の電源との間に、前記発光素子、前記第1のトランジスタ及び
前記第2のトランジスタが直列に接続され、

前記第1のトランジスタのゲート電極は第2の電源と接続されていることを特徴と
する発光装置。

3. 発光素子と、

20 前記発光素子に流れる電流値を決定する第1のトランジスタと、

ビデオ信号によって、前記発光素子の発光、非発光を決定する第2のトランジス
タと、

前記ビデオ信号の入力を制御する第3のトランジスタと、

前記ビデオ信号に関わらず、前記発光素子を非発光状態にする第4のトランジスタと、を画素に有し、

前記第1の電源と第3の電源との間に、前記発光素子、前記第1のトランジスタ

5 及び前記第2のトランジスタが直列に接続され、

前記第1のトランジスタのゲート電極は第2の電源と接続されていることを特徴とする発光装置。

4. 請求項1乃至請求項3のいずれか1項において、

前記第1のトランジスタ及び前記第2のトランジスタの極性が同じ極性であること
10 を特徴とする発光装置。

5. 請求項1乃至請求項3のいずれか1項において、

前記第1のトランジスタはディプリーション型であることを特徴とする発光装置。

6. 請求項1乃至請求項3のいずれか1項において、

前記第1のトランジスタはそのチャネル長がチャネル幅より長く、

15 前記第2のトランジスタはそのチャネル長がチャネル幅と同じかそれより短いことを特徴とする発光装置。

7. 請求項6において、

前記第1のトランジスタはそのチャネル幅に対するチャネル長の比が5以上であることを特徴とする発光装置。

20 8. 画素電極と、

前記画素電極に流れる電流値を決定する第1のトランジスタと、

ビデオ信号によって、前記画素電極への電流の供給の有無を決定する第2のト

ランジスタと、を画素に有し、

第1の電源と前記画素電極との間に、前記第1のランジスタ及び前記第2のランジスタが直列に接続され、

前記第1のランジスタのゲート電極は第2の電源と接続されていることを特徴とする素子基板。

9. 請求項8において、

前記第1のランジスタ及び前記第2のランジスタの極性が共にP型であり、

前記第1のランジスタの閾値が前記第2のランジスタの閾値よりも高いことを特徴とする素子基板。

10. 請求項8において、

前記第1のランジスタ及び前記第2のランジスタの極性が共にN型であり、

前記第1のランジスタの閾値が前記第2のランジスタの閾値よりも低いことを特徴とする素子基板。

11. 請求項8乃至請求項10のいずれか1項において、

15 前記第1のランジスタはディプリーション型であることを特徴とする素子基板。

12. 請求項8乃至請求項10のいずれか1項において、

前記第1のランジスタはそのチャネル長がチャネル幅より長く、

前記第2のランジスタはそのチャネル長がチャネル幅と同じかそれより短いことを特徴とする素子基板。

20 13. 請求項12において、

前記第1のランジスタはそのチャネル幅に対するチャネル長の比が5以上であることを特徴とする素子基板。

要約書

スイッチング用トランジスタのオフ電流を低く抑え、容量素子の大容量化を図らずとも、駆動用トランジスタの特性のばらつきに起因する、画素間における発光素子の輝度ムラを抑えることができる発光装置及び素子基板の提案を課題とする。

- 5 本発明では、駆動用トランジスタのゲートの電位は固定し、前記駆動用トランジスタは飽和領域で動作させ、常に電流を流せる状態にしておく。前記駆動用トランジスタと直列に線形領域で動作する電流制御用トランジスタを配し、スイッチング用トランジスタを介して画素の発光、非発光の信号を伝えるビデオ信号を前記電流制御用トランジスタのゲートに入力する。